

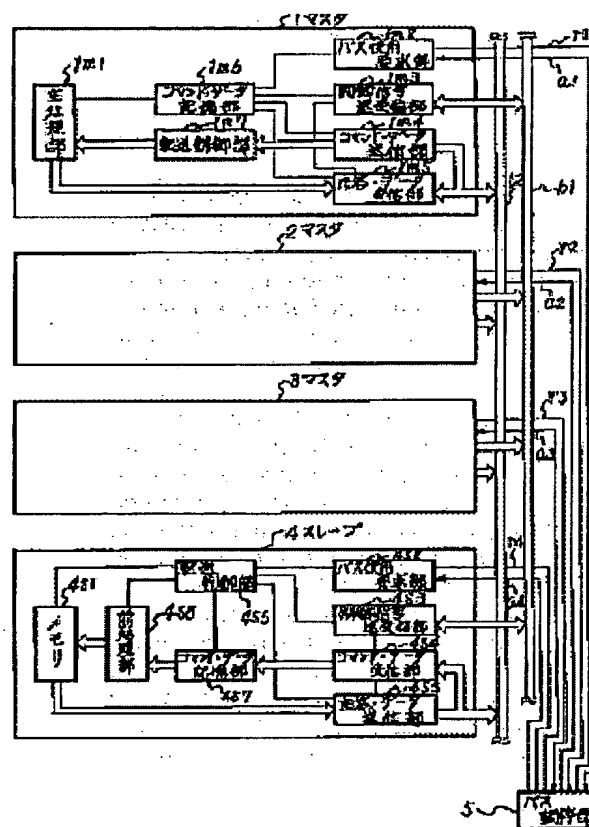
BUS CONTROL SYSTEM

Patent number: JP6089258
Publication date: 1994-03-29
Inventor: TSUTSUMI YASUNORI
Applicant: NEC CORP
Classification:
 - international: G06F13/36; G06F13/00
 - european:
Application number: JP19920133153 19920526
Priority number(s):

Abstract of JP6089258

PURPOSE: To improve the deterioration of the transfer ability of a bus, which occurs by the internal processing time of a slave, and also to obtain a same kind of effect even in the continuous operation of a same master when the plural masters continueously execute an operation in a data transmission bus.

CONSTITUTION: The transfer control part 1m7 of the master 1 can receive a new transfer request in spite of the previously received transfer request from a main processing part and executes transfer to a bus in accordance with request receiving order. When response for a command transmitted to the bus is transmitted from the slave, the completion of transfer is recognized but, regardless of presence or absence of response, the master can issue the command. When the command from the master is received, the transfer control part 4s6 of the slave 4 permits a command and data storage part 4s7 to store it, transmit it to a pre-processing part 4s8 in accordance with reception order and transmits response from a response and data transmitting part 4s5 to the bus when the pre-processing part 4s8 executes the access of a memory 4s1 so that are command processing is completed.



Data supplied from the esp@cenet database - Worldwide

(19)日本理特許庁 (J P) (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-89258

(43)公開日 平成 6年(1994) 3月29日

(51)Int.Cl. ⁴	分類記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	13/36	5 2 0 Z	9072-5B	
	13/00	3 5 7 A	7388-5B	

審査請求 未請求 請求項の数 3 (全 7 頁)

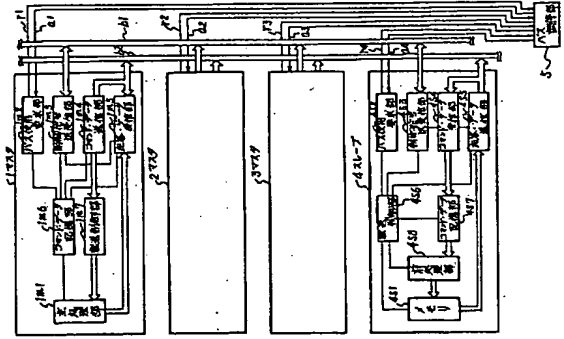
(21)出願番号	特開平4-133153	(71)出願人	000004237 日本電気株式会社
(22)出願日	平成 4年(1992) 5月26日	(72)発明者	堤 靖典 東京都港区芝五丁目7番1号日本電気株式会社内
		(74)代理人	弁理士 京本 直樹 (外 2名)

(54)【発明の名称】 バス制御方式

(57)【要約】

【目的】 データ伝送バスにおいて複数のマスタが連続動作した場合、スレーブの内部処理時間により生じるバスの転送能力の低下を改善すると共に同一マスタの連続動作においても同様の効果を得られる様にする。

【構成】 マスタ1の転送制御部1m7は主処理部からの既に受け付け済の転送要求があっても新たな転送要求を受け付け可能であり、要求を受け付けた順序に従ってバスに対する転送を実行する。バスに送出したコマンドに対する応答がスレーブから送られると転送の終了を認識するが、応答の有無によらずマスタ1はコマンドを発行できる。スレーブ4の転送制御部4s6はマスタからのコマンドを受信するとコマンド・データ配線部4s7に記憶させ、受信した順序に従って前処理部4s8に送り、前処理部4s8がメモリ4s1のアクセスを行なうと応答・データ送受信部4s5から応答をバスに送らせ1回のコマンド処理を終了する。



【特許請求の範囲】

【請求項1】 情報処理装置で用いられるデータ伝送バスであって、データを転送する命令（以下コマンドと呼ぶ）を実行する装置（以下マスタと呼ぶ）とマスタの発するコマンドに応じてデータの受信及び送信を行なう装置（以下スレーブと呼ぶ）とが複数接続され、

(A) マスタは主処理部の要求によりバスの使用要求を行なうバス使用要求部、後述する転送制御部の制御によりバスに対してコマンド・データを送出するコマンド・データ送受信部、バスに送出したコマンドに対してスレーブから送信される応答命令を受信し、自身が送出したコマンドに対する応答であることを認識し、コマンドの転送が終了したことを後述する転送制御部に通知するとともに転送サイクルを終了させ、かつ、スレーブからのデータ読み出しの場合データを受信し主処理部に送る応答・データ受信部、後述する転送制御部の制御により主処理部から送られるコマンド・データを記憶するコマンド・データ配線部、主処理部からの転送要求を既に受け付け済の転送要求があっても続けて受け付け可能であり受け付け付けた転送要求の順序に従ってコマンド・データをコマンド・データ配線部に記憶させる制御を行ない、かつ、受け付けた順にコマンド・データ送受信部を制御し、バスに対してコマンド・データを送信しスレーブからの応答が送信され、応答・データ受信部から応答受信通知を受けるとコマンド・データ配線部の対応するコマンドの転送終了を主処理部に通知する転送制御部、コマンドの転送と共に転送制御部の制御でバスの制御信号を送受信し応答受信時に転送制御部の制御で応答受信タイミングを通知するとともに応答受信部からの制御により応答受信サイクルを終了させる制御信号送受信部を有し、

(B) スレーブは制御信号送受信部からのコマンド受信タイミングに従ってマスタから送信されたコマンド・データを受信し後述するコマンド・データ配線部に送るコマンド・データ受信部、コマンド・データ受信部から送られるコマンド・データを一時的に記憶するコマンド・データ配線部、後述する前処理部が処理受け付け可能である場合、コマンド・データ配線部から未処理のコマンド・データを古い順に前処理部に送り、メモリのアクセスが終了すると後述するバス使用要求部を制御しバス使用要求を行ないバス使用が許可されると応答・データ送受信部を制御し応答及びデータを送出するとともに制御信号送受信部を制御し制御信号を送受信する機能を有する転送制御部、転送制御部の制御でバス使用が許可されると転送制御部にに対しバス使用許可の通知を行なうバス使用要求部、メモリのアクセスが終了するとマスタに対する応答あるいはデータを送出する応答・データ送受信部、応答送信時に転送制御部の制御により制御信号を送受信しコマンド・データ受信時にコマンド・データ受信部にに対しコマンド・データ受信タイミングの終了処理を行なう制御信号送受信部、マスタサイクルの終了処理を行なう制御信号送受信部、

コマンド・データ配線部から送られるコマンド・データを処理しメモリに対するアクセスを行ない、かつ、内部処理をシーケンシャルに実行する前処理部を含むことを特徴とするバス制御方式。

【請求項2】 前処理部内に実際のメモリアksesを実行する処理部を複数備え、処理部の動作状態を管理し、最も以前に使用された処理部が次の処理で用いられる様制御する前処理制御部を有する請求項1記載のバス制御方式。

【請求項3】 マスタから送信されるコマンドに以降のコマンドのスレーブ内での実行処理を禁止する命令（以下禁止命令と呼ぶ）を有し、禁止命令を有するコマンドを受信するとそれ以降の受信コマンドの実行を禁止し、コマンドの実行処理を許可する命令（以下許可命令と呼ぶ）を有するコマンドを受信するとこのコマンドの実行処理終了後に前記禁止命令により実行が禁止されていたコマンドの実行を再開する転送制御部を有する請求項1記載のバス制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はバス制御方式に関する。

【0002】

【従来の技術】 従来のバス制御方式は、データ転送を行なうマスタはバスの使用要求を行ない、順序によりバスの使用が許可されるとバスを占有し、転送命令の発行及び転送データの送信あるいは受信を行ない、転送終了後バスを解放し1回の転送サイクルを終了する制御を行なっている。従ってスレーブがマスタから発行されたコマンドを受信し処理する間マスタはバスを占有した状態であり、その間他のマスタはバスを使用できない。また、マスタは1回の転送サイクルを実行することができないため同一のマスタが連続して動作する場合にはバスの待ち時間の影響が大であった。

【0003】

【発明が解決しようとする課題】 従来のバス制御方式は、1つのマスタ装置がバスを使用する際にバスの使用要求を行ないバスの使用が許可されるとバスを占有しコマンドの発行及びデータの送受信を1回のバスサイクル中に行なう。従ってスレーブでのコマンド及びデータの処理に要する時間が長くなると1回のバス使用サイクルが長くなり、かつ、スレーブの内部処理中には実際にバスが低下するという問題が生じ、また前記バスシステムにおける問題の解決において複数のマスタのサイクルをパイプライン化することを考えた場合に同一のマスタが連続して動作する場合に自身のバスサイクル中には新たにサイクルを実行できないためバスの転送効率が低下してしまいう問題がある。

【0004】 さらに、バスの転送サイクルのバイプライン化により転送効率を向上してもスレーブ内のメモリの

(5)

ープ内のコマンド・データ記憶部は図3の様に構成されている。コマンド・データ記憶部10はマスタから送られるコマンド内に含まれる禁止命令及び許可命令に従って記憶部1-1に記憶されているコマンドの実行の禁止処理を制御する禁止制御部1-2で構成され、コマンド・データ受信部200及び物理部30に接続されている。

【0023】次にこの様に構成した本実施例の動作を説明する。禁止制御部1-2は禁止命令を有するコマンドを受信するとこのコマンド及びデータを記憶部1-1に記憶させるとともに以降のコマンドの実行を禁止するモードとなる。従って禁止命令を有するコマンドを前処理部30に送ると、以降にコマンド・データ受信部から送られるコマンド・データは記憶部1-1に記憶されるのみで前処理部30には送られない。

【0024】次の禁止期間部1-2は許可命令を有するコマンドを受信すると記憶部1-1に記憶した後処理部30が処理受け付け可能であれば記憶部に記憶された他のコマンド・データがあっても優先して前処理部3に送付、以降は記憶部1-1に記憶されているコマンドの送付の禁止を解除し、記憶された順に前処理部30にコマンド・データを送る動作を継続して行なう。

[0025]

【発明の効果】以上説明したように本発明のバス制御方式は、

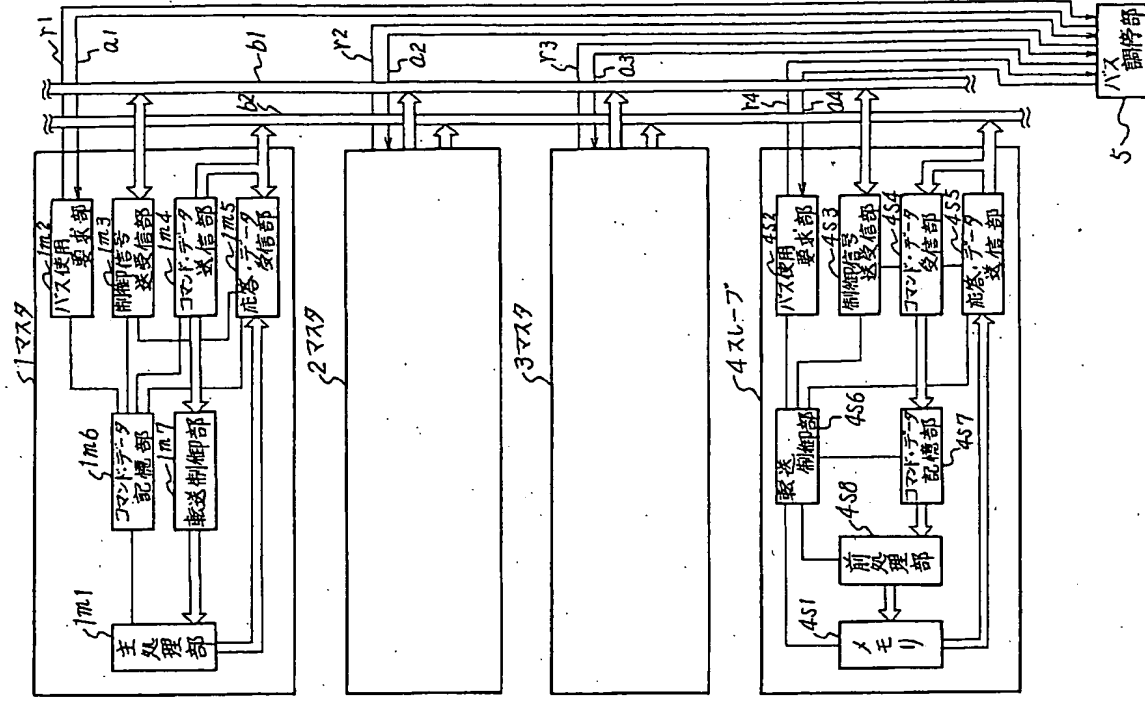
- (1) バスに複数のマスタが接続されていても単体のマスタのみが連続して動作する場合にはスレーブ側での1回のコマンド処理が終了する前に同一のマスタが次のコマンドの発行をできる様にする。ことによってスレーブ側処理により生じる待ち時間中にコマンドの発行することによりバスの使用効率が増すという効果がある。
- (2) スレーブ側のコマンド実行処理における同時動作可能なメモリアクセス以外の処理により待ち時間を作ることができるといった効果がある。

(2) スレーブ側のコマンド実行処理における同時動作

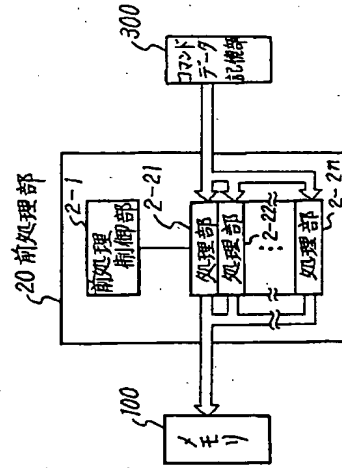
特開平06-089258

(9)

【圖 1】



【图2】



【図3】

